

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-164623

(43)Date of publication of application : 16.06.2000

(51)Int.Cl.

H01L 21/60

(21)Application number : 10-338639

(71)Applicant : SHARP CORP

(22)Date of filing : 30.11.1998

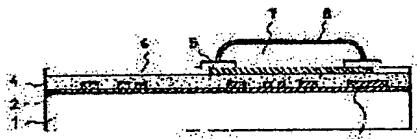
(72)Inventor : ONO ATSUSHI
SENKAWA YASUNORI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable a semiconductor device to be enhanced in assembly yield and connection reliability by a method wherein a bump is provided on the surface of an electrode pad so as to protect a wiring or an active element when the device is bonded to an outer terminal.

SOLUTION: An insulating film 2, a first wiring layer, an active element 3, an interlayer insulating film 4, an electrode pad 5, and a protective film 6 having an opening are sequentially formed on a semiconductor board 1. Al of the surface of the electrode pad 5 that comes out in the opening provided in the protective film 6 is substituted with Zn that can be substituted with Ni by reaction, then the semiconductor board 1 is immersed into a plating solution, and an NiP layer 7 as a protrudent electrode is formed through electroless plating as high as 5 μm above the protective film 6. Ni of the surface of the NiP layer 7 is substituted with Au for the formation of an Au layer 8 as a surface film to protect the surface of the NiP layer 7. By this setup, a semiconductor device of this constitution can be improved in assembly yield and connection reliability.



LEGAL STATUS

[Date of request for examination] 19.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-164623

(P2000-164623A)

(43)公開日 平成12年6月16日 (2000.6.16)

(51)Int.Cl.
H 01 L 21/60

識別記号
3 0 1

F I
H 01 L 21/92
21/60

テーマコード(参考)
6 0 2 E 5 F 0 4 4
3 0 1 P

審査請求 未請求 請求項の数 6 O L (全 5 頁)

(21)出願番号

特願平10-338639

(22)出願日

平成10年11月30日 (1998.11.30)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 小野 敦

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(72)発明者 千川 保憲

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(74)代理人 100103296

弁理士 小池 隆彌

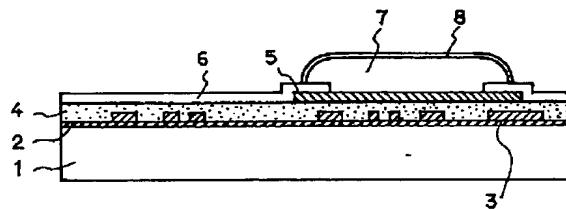
F ターム(参考) 5F044 EE01 EE04 EE06 EE11 KK08
NN07 QQ03

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 従来では、ウエハ製造工程の大幅な変更が必要となり、製造工程が複雑となる。多種多様のデバイスに適用するにはそれぞれのプロセス毎に層間膜の変更が必要となるが、層間膜の変更はデバイスの品質や特性への影響もあり、容易に変更は困難である。

【解決手段】 半導体基板上に配線又は能動素子が形成され、層間絶縁膜を介して該配線又は能動素子上に電極パッドが形成されている半導体装置において、電極パッド表面上に、外部端子とのボンディング時の上記配線又は能動素子の保護のための突起電極が形成されている。



【特許請求の範囲】

【請求項1】 基板上に配線又は能動素子が形成され、層間絶縁膜を介して該配線又は能動素子上に電極パッドが形成されている半導体装置において、上記電極パッド表面上に、外部端子とのボンディング時における上記配線又は能動素子の保護のための突起電極が形成されていることを特徴とする半導体装置。

【請求項2】 上記突起電極がNi、Cu、Cu合金又はNi合金から成ることを特徴とする、請求項1に記載の半導体装置。

【請求項3】 上記突起電極表面がAu、Pt又はAgから成る表面膜を有することを特徴とする、請求項1又は請求項2に記載の半導体装置。

【請求項4】 上記突起電極が、上記電極パッド形成領域内のみに形成されていることを特徴とする、請求項1乃至請求項3のいずれかに記載の半導体装置。

【請求項5】 上記突起電極の高さが、0.5μm以上、且つ、10μm以下であることを特徴とする、請求項1乃至請求項4のいずれかに記載の半導体装置。

【請求項6】 上記表面膜の厚さが、0.05μm以上、且つ、2μm以下であること特徴とする、請求項1乃至請求項5のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置に関するもので、更に詳しくは、エリアパッド方式の半導体装置に関するものである。

【0002】

【従来の技術】 現在、電極パッドを配線もしくは能動素子上に形成し、電極パッドのみに専有される領域を無くすことによって、チップサイズの縮小化を図ったエリアパッド方式のチップが実用化されつつある。この半導体チップの電極パッド部分は図5に示すように、半導体基板21上に絶縁膜22、1層目配線及び能動素子23、層間絶縁膜24、電極パッド25及び開口部を有する保護膜26がこの順に形成される構造となっている。この場合、電極パッド25直下に層間絶縁膜24を介して配線及び能動素子23が形成されているために、ワイヤーボンディング時に配線及び能動素子23へのダメージや層間絶縁膜24のクラックが発生する。

【0003】 このような問題に対して、特開平1-91439号公報には図4に示すように層間絶縁膜をプラズマ窒化膜31と気相成長酸化膜32と不純物を含んだ気相成長酸化膜33の3層にすることにより、カバレッジが良く、ワイヤーボンディングにも十分耐え得る強度を持つ構造が開示されている。尚、図4及び図5において、21は半導体基板、22は酸化膜、23は配線及び能動素子、24は層間絶縁膜、25は電極パッド、26は保護膜、31はプラズマ窒化膜、32は気相成長酸化膜、33は不純物を含んだ気相成長酸化膜、34は電極

パッドと密着性の高い絶縁膜を示す。

【0004】 また、電極パッド上にAuバンプを形成したTCP品においても、テープキャリアのインアーリードとのボンディング時に電極パッド下にダメージが入り、パッド剥がれが生じる。

【0005】 電極パッド上にNiバンプを形成する技術については、特開平8-264541号公報等により開示されているが、電極パッドの下に、層間絶縁膜を介して配線あるいは能動素子が存在する構造は開示されていない。

【0006】

【発明が解決しようとする課題】 しかしながら、上述の対策を行った場合、ウェハ製造工程の大幅な変更が必要となり、製造工程が複雑となる。多種多様のデバイスに適用するにはそれぞれのプロセス毎に層間膜の変更が必要となるが、層間膜の変更是デバイスの品質や特性への影響もあり、容易に変更は困難である。

【0007】 また、パッドに突起が無い場合、層間膜の出来上がりの質の管理は困難であり、管理を行う場合には、ウェハを破壊して断面を確認する必要があり、コストの増加の要因となる。また、層間膜や電極パッドの密着性を測定することは困難であり、何らかのトラブルが発生した場合でも、実際にアセンブリを行うまで発覚せず、そのまま市場に流れてトラブルを生じる恐れもある。

【0008】

【課題を解決するための手段】 請求項1に記載の本発明の半導体装置は、基板上に配線又は能動素子が形成され、層間絶縁膜を介して該配線又は能動素子上に電極パッドが形成されている半導体装置において、上記電極パッド表面上に、外部端子とのボンディング時の上記配線又は能動素子の保護のための突起電極が形成されていることを特徴とするものである。

【0009】 また、請求項2に記載の本発明の半導体装置は、上記突起電極がNi、Cu、Cu合金又はNi合金から成ることを特徴とする、請求項1に記載の半導体装置である。

【0010】 また、請求項3に記載の本発明の半導体装置は、上記突起電極表面がAu、Pt及びAgからなる群のうちすくなくとも1つからなる表面膜を有することを特徴とする、請求項1に記載の半導体装置である。

【0011】 また、請求項4に記載の本発明の半導体装置は、上記突起電極が、上記電極パッド形成領域内のみに形成されていることを特徴とする、請求項1乃至請求項3のいずれかに記載の半導体装置である。

【0012】 また、請求項5に記載の本発明の半導体装置は、上記突起電極の高さが、0.5μm以上、且つ、10μm以下であることを特徴とする、請求項1乃至請求項4のいずれかに記載の半導体装置である。

【0013】 更に、請求項6に記載の本発明の半導体装

置は、上記表面膜の厚さが、0.05μm以上、且つ、2μm以下であること特徴とする、請求項1乃至請求項5のいずれかに記載の半導体装置である。

【0014】

【発明の実施の形態】以下、実施の形態に基づいて、本発明を詳細に説明する。

【0015】図1は、発明の半導体チップのパッド断面構造を示す断面図であり、1は半導体基板、2は酸化膜、3は配線及び能動素子、4は層間絶縁膜、5は電極パッド、6は保護膜、7はNiP層(突起電極)、8はAu層(表面膜)を示す。

【0016】図1に示すように、半導体基板1上に絶縁膜2、1層目配線及び能動素子3、層間絶縁膜4、電極パッド5及び開口部を有する保護膜6がこの順に形成され、開口部に、高さ5μmの突起電極としてのNiP層(P含有量は7~11%)7と厚さ1μmの突起電極の表面を保護するための表面膜としてのAu層8がこの順に形成されている。また、NiP層7及びAu層8を無電解メッキ方式によって形成した。ワイヤーボンディングやインナーリードボンディング時の衝撃に対抗するには、NiP層の高さは0.5μm以上必要であり、NiP層形成時間を短縮するために、10μm以下が好ましい。尚、NiP層の他に、Ni、Cu、Ni合金、Cu合金を用いても同様である。

【0017】また、NiP層7の表面酸化を防止するために、Au層8の厚さは0.05μm以上あればよく、また、Snとの共晶接合に使用する場合でも2μmあれば十分であるため、Au層の形成時間短縮を併せて、Au層の厚さは0.05μm以上、且つ2μm以下が好ましい。尚、Au層の他に、PtやAg等の貴金属を用いても同様である。

【0018】この際のNiP層7及びAu層8の形成方法を以下に説明する。

【0019】まず、保護膜6に形成された開口部から露出した電極パッド5表面上のAlをNiと置換反応が可能なZnに置換させる。次に、メッキ液中に浸漬し、NiP層7を保護膜6から5μmになるまで、無電解メッキにて形成する。この無電解メッキによるNiPの析出が選択性がある。

【0020】まず、電極パッド5表面上に形成されたZn層がNiと置換反応を起こしてNi層が形成され、続いて自己触媒作用により、Ni層の表面上で無電解メッキ反応が進行する。よって、メッキ用のレジストパターンを形成する必要はなく、また、無電解メッキであるので、ウエハ表面にメッキ用の導電膜を形成する必要もない。

【0021】このとき用いた無電解Niメッキ液は、硫酸ニッケル及び次亜リン酸ナトリウムを主成分とした一般的なものである。

【0022】次に、NiP層7上にAu層8を形成す

る。まず、置換Auメッキ液を用いて、NiP層7表面上のNiをAuと置換させる。この反応は置換反応であり、形成できるAu層8の厚さは、0.1μm以下であるが、Au層8の形成がNi表面の保護を目的とするのであれば、十分である。更に、Au層8の厚さが1μmになるまで無電解Auメッキを行う。無電解Auメッキ液には、亜硫酸Auナトリウムを主成分としたものを用いる。

【0023】このとき、NiP層7は保護膜6の開口部を覆っており、且つ、電極パッド5形成領域からはみ出ない構造とした。この構造により、Au層8によって保護されたNiP層7が保護開口部を覆うため、電極パッド5を腐食等から保護する効果がある。また、NiP層7を電極パッド5からはみ出さない構造とすることにより、応力を緩和することができ、パッド剥がれや下地半導体基板のえぐれを防止することができる。

【0024】また、NiP層7を介して電極パッド5及びその下地の強度を測定することができるため、密着性の管理を行うことができる。

【0025】図2は、TCPの半導体チップ実装部の断面図である。半導体チップは半導体基板1上に絶縁膜2、1層目配線及び能動素子3、層間絶縁膜4、電極パッド5及び開口部を有する保護膜6がこの順に形成され、開口部にNiP層(P含有量は7~11%)7とAu層8がこの順に形成されている。

【0026】一方、テープキャリア(図示せず)は、デバイスホールを有する絶縁性フィルム上に導体パターンが接着剤を介して接着形成され、上記デバイスホールには上記導体パターンと一体に形成される導体パターンが延長突出しており、導体リード9にはSnメッキが施されている。

【0027】即ち、TCPは、半導体チップとテープキャリアとの間の接合を電極パッド5上のAu層8と導体リード9のSn層を熱圧着することにより、Au-Sn共晶を形成して行っている。

【0028】熱圧着後、導体リード及び突起電極を除去し、電極パッド及び下地の様子を確認したが、荷重が1電極当たり50g重、温度が560°Cの条件でもダメージが発生していなかった。Auのみで形成された突起電極に同じ条件を適用した場合、電極パッド及び下地に確実にダメージが入ることが確認されている。

【0029】図3は本発明の半導体チップをプラスチクモールドパッケージや基板(プリント基板やセラミック基板)(図示せず)に実装した時の実装部の断面図である。このように、突起電極上にワイヤー10をボンディングした場合も、TCPと同様に、電極パッド5及び下地にワイヤーボンディングによるダメージが入らない効果を得ることができる。本発明では、硬い突起電極をNi系金属で形成した例を示したが、他に無電解メッキ

方式で形成できる硬質突起電極材料としてCu系金属で

も同様なものが形成可能である。

【0030】

【発明の効果】以上、詳細に説明したように、本発明を用いることにより、電極パッド上にワイヤーボンディングやインナーリードボンディングを行っても、突起電極がワイヤーボンディングやインナーリードボンディング時の衝撃に対抗するため、電極パッドやその下の層間絶縁膜、配線層及び能動素子へのダメージが生じず、アセンブリでの歩留まりの向上及び接続の信頼性の向上が可能となる。電極パッド上の保護膜開口部に硬い突起電極を形成することにより、横方向の剪断強度（シェア強度）測定や密着強度検査が可能なり、アセンブリ前に密着性の確認が可能となる。従来は突起電極がないので、パッドやパッド下部分の密着強度を測定する引っ掛けりがなく、測定することが物理的に不可能であった。突起電極を形成することにより、シェア強度測定用ツール等を引っかけて測定することが可能となる。

【0031】また、突起電極表面に、A g層、P t層及びA u層からなる表面膜を形成することにより、突起電極の表面酸化を防止し、且つ、A u層はS nとの共晶接合に使用しても問題を生じない。

【0032】また、C u層、N i層、C u合金層及びN i合金層やA g層、P t層及びA u層は、無電解メッキ法により形成することが可能であるから、電解メッキ方式による複雑な工程を必要としない。

【0033】また、突起電極を電極パッド形成領域内に*

*形成することによって、突起電極からの応力による電極パッドの剥がれや下地の半導体基板の抉れを防止できる。

【図面の簡単な説明】

【図1】本発明の半導体チップのパッド断面構造を示す断面図である。

【図2】本発明の半導体チップのTCPに実装した時のパッド断面構造を示す断面図である。

【図3】本発明の半導体チップのプラスチックモールドパッケージや基板（プリント基板やセラミック基板）に実装した時のパッド断面構造を示す断面図である。

【図4】第1の従来の半導体チップのパッド構造を示す断面図である。

【図5】第2の従来の半導体チップのパッド構造を示す断面図である。

【符号の説明】

1 半導体基板

2 酸化膜

3 配線及び能動素子

4 層間絶縁膜

5 電極パッド

6 保護膜

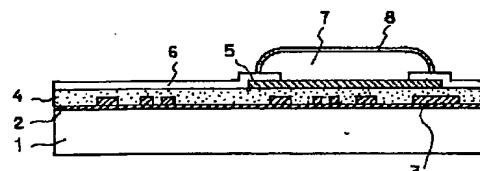
7 N i P層（突起電極）

8 A u層（表面膜）

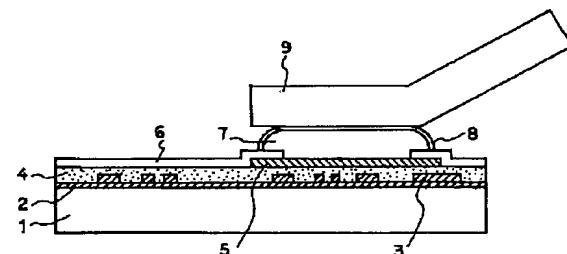
9 インナーリード

10 ワイヤー

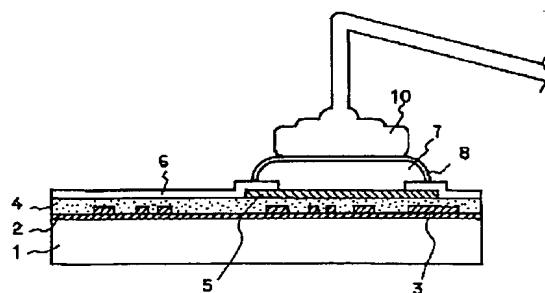
【図1】



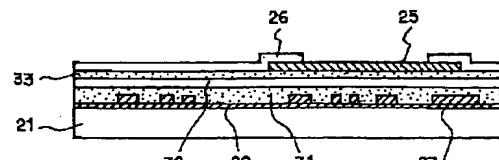
【図2】



【図3】



【図4】



【図5】

